

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2002289651 A**

(43) Date of publication of application: **04.10.02**

(51) Int. Cl.

H01L 21/60
B32B 15/08
H05K 3/28

(21) Application number: **2001073816**

(22) Date of filing: **15.03.01**

(30) Priority: **12.12.00 JP 2000377947**
19.01.01 JP 2001012074

(71) Applicant: **mitsui MINING & SMELTING CO LTD**

(72) Inventor: **KATAOKA TATSUO**
OZAWA YUKIHIRO
IGUCHI YUTAKA
AWATA HIDETOSHI

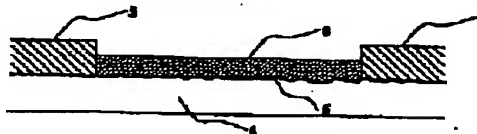
(54) CHIP-ON FILM BASE AND ITS MANUFACTURING METHOD

(57) Abstract

PROBLEM TO BE SOLVED: To provide a chip-on film base and its manufacturing method which largely improves the deterioration of transparency caused from a replica of copper and make the positioning of an IC chip by a CCD system possible.

SOLUTION: A transparent resist layer is formed on any portion except an IC chip loading portion and a wiring circuit pattern on the surrounding portion.

COPYRIGHT: (C)2002,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-289651

(P2002-289651A)

(43) 公開日 平成14年10月4日 (2002. 10. 4)

(51) Int.Cl.⁷

識別記号

F I

テ-マ-ト* (参考)

H 0 1 L 21/60

3 1 1

H 0 1 L 21/60

3 1 1 W 4 F 1 0 0

B 3 2 B 15/08

B 3 2 B 15/08

J 5 E 3 1 4

H 0 5 K 3/28

H 0 5 K 3/28

D 5 F 0 4 4

審査請求 未請求 請求項の数 7 O L (全 6 頁)

(21) 出願番号 特願2001-73816(P2001-73816)
(22) 出願日 平成13年3月15日 (2001. 3. 15)
(31) 優先権主張番号 特願2000-377947(P2000-377947)
(32) 優先日 平成12年12月12日 (2000. 12. 12)
(33) 優先権主張国 日本 (J P)
(31) 優先権主張番号 特願2001-12074(P2001-12074)
(32) 優先日 平成13年1月19日 (2001. 1. 19)
(33) 優先権主張国 日本 (J P)

(71) 出願人 000006183
三井金属鉱業株式会社
東京都品川区大崎1丁目11番1号
(72) 発明者 片岡 龍男
埼玉県上尾市原市1333-2 三井金属鉱業
株式会社総合研究所内
(72) 発明者 小澤 行弘
埼玉県上尾市原市1333-2 三井金属鉱業
株式会社総合研究所内
(74) 代理人 100076532
弁理士 羽鳥 修

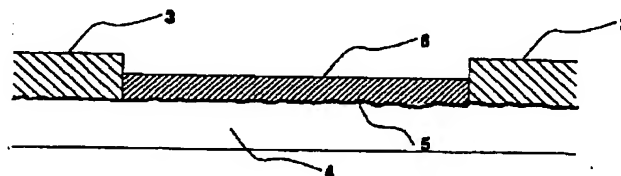
最終頁に続く

(54) 【発明の名称】 チップオンフィルム基板及びその製造方法

(57) 【要約】

【課題】 銅のレプリカに起因する透明度の低下を大幅に改善し、CCD方式によるICチップの位置決めを可能にしたチップオンフィルム基材及びその製造方法を提供する。

【解決手段】 ICチップ搭載部及びその周囲部の配線回路パターン以外の部分に、透明レジスト層が形成されていることを特徴とするチップオンフィルム基板。



【特許請求の範囲】

【請求項1】 ICチップ搭載部及びその周囲部の配線回路パターン以外の部分に、透明レジスト層が形成されていることを特徴とするチップオンフィルム基板。

【請求項2】 上記透明レジスト層の厚みが1～5 μ mである請求項1記載のチップオンフィルム基板。

【請求項3】 ポリイミド系フィルム上に銅箔を接着させたテープ状の2層基材にスプロケットホールを形成し、次いで銅層側にフォトレジストを塗布し乾燥後、露光、現像、エッチング、フォトレジスト剥離の工程により、配線回路パターンを形成し、さらに必要に応じてソルダーレジスト塗布、硬化及びメッキを行うチップオンフィルム基板の製造方法において、

下記(1)～(3)のいずれかの工程において、ICチップ搭載部及びその周囲部全面に、透明レジストを塗布し乾燥後、露光、現像により、配線回路パターン以外の部分に透明レジスト層を形成することを特徴とするチップオンフィルム基板の製造方法。

(1) 上記配線回路パターンの形成後

(2) ソルダーレジスト塗布、硬化後、メッキを行う前

(3) ソルダーレジスト塗布、硬化及びメッキを行った後

【請求項4】 上記透明レジストを1～5 μ mの厚さに塗布する請求項3記載のチップオンフィルム基板の製造方法。

【請求項5】 上記透明レジストが、フォトレジスト又は透明光感光型ソルダーレジストである請求項3又は4記載のチップオンフィルム基板の製造方法。

【請求項6】 上記2層基材が、単体の熱可塑性ポリイミドを銅箔に直接ラミネートさせたものである請求項3～5の何れかに記載のチップオンフィルム基板の製造方法。

【請求項7】 上記2層基材が、ポリイミド系フィルム上に銅箔を熱可塑性ポリイミドを介して接着させたものである請求項3～5の何れかに記載のチップオンフィルム基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、チップオンフィルム(COF: Chip on Film)基板及びその製造方法に関し、特にポリイミド基材の透明度を改善するため、ICチップ搭載部及びその周囲部に透明レジスト層を形成し、表面を平坦化することにより、透明度を大幅に向上させたチップオンフィルム基板及びその製造方法に関する。

【0002】

【従来の技術及び発明が解決しようとする課題】 LSI等からなる半導体チップ(電子部品)の実装技術には、COF(Chip on Film)と呼ばれる技術がある。ここに用いられるチップオンフィルム基板は、ベ

ースフィルムであるポリイミド系フィルム上に銅箔を熱可塑性ポリイミドで接着したり、熱可塑性ポリイミドを銅箔に直接ラミネート付着させたテープ状の2層基材

(以下、場合によってテープという)を用い、2層基材の両端部に金型によってスプロケットホールを打ち抜き、次いで銅層にフォトリソグラフ方式によって配線回路パターンを形成し、さらに必要に応じてソルダーレジスト塗布及び硬化とメッキとを行うことによって製造されるものである。

【0003】 上記した2層基材としては、エスパネックス(商品名: フィルム40 μ m厚、銅層厚12 μ m、新日鉄化学社製)やユピセル(商品名: フィルム25 μ m厚、銅層厚12 μ m、宇部興産社製)基材等が知られている。しかし、このエスパネックス基材やユピセル基材は、エッチングして銅回路を形成してチップオンフィルム基板を作成した場合、パターンエッチング後のポリイミド系フィルム面に銅箔のレプリカ(銅箔の凹凸)が残存する。

【0004】 このようなチップオンフィルム基材の平面図を図4に示す。また、ICチップ搭載部及びその周囲部の拡大平面図を図5に、その部分断面図を図6にそれぞれ示す。図4～6において、チップオンフィルム基材1のICチップ搭載部及びその周囲部2は、銅回路(配線回路パターン)3が形成され、その他の部分はポリイミド系フィルム4からなる。このポリイミド系フィルム4の表面には、銅箔のレプリカ(銅箔の凹凸)5が残存している。

【0005】 このように、エスパネックス基材等は、銅箔のレプリカによって透明度が悪く、フィルム側からのハロゲン光が透過せず、ICチップのパターンが見えないため、CCD(チャージ・カップルド・デバイス)方式による通常のTAB用インナーリードボンダーを用いた位置合わせができなかった。その対策として、チップオンフィルムボンダーといった専用装置が必要であるため、エスパネックス基材等の使用は限られていた。そこで、エスパネックス基材等の透明度を改善することが要望されていた。

【0006】 従って、本発明の目的は、銅のレプリカに起因する透明度の低下を大幅に改善し、CCD方式によるICチップの位置決めを可能にしたチップオンフィルム基材及びその製造方法を提供することにある。

【0007】

【課題を解決するための手段】 本発明者らは、検討の結果、ICチップ搭載部及びその周囲部の配線回路パターン以外の部分に、透明レジスト層を設けることによって、上記目的が達成し得ることを知見した。

【0008】 本発明は、上記知見に基づいてなされたもので、ICチップ搭載部及びその周囲部の配線回路パターン以外の部分に、透明レジスト層が形成されていることを特徴とするチップオンフィルム基板を提供するもの

である。

【0009】また、本発明は、ポリイミド系フィルム上に熱可塑性ポリイミドを介して銅箔を接着、ラミネートさせたテープ状の2層基材にスプロケットホールを形成し、次いで銅層側にフォトレジストを塗布し乾燥後、露光、現像、エッチング、フォトレジスト剥離の工程により、配線回路パターンを形成し、さらに必要に応じてソルダーレジスト塗布、硬化及びメッキを行うチップオンフィルム基板の製造方法において、下記(1)～(3)のいずれかの工程において、ICチップ搭載部及びその周囲部全面に、透明レジストを塗布し乾燥後、露光、現像により、配線回路パターン以外の部分に透明レジスト層を形成することを特徴とするチップオンフィルム基板の製造方法を提供するものである。

(1) 上記配線回路パターンの形成後

(2) ソルダーレジスト塗布、硬化後、メッキを行う前

(3) ソルダーレジスト塗布、硬化及びメッキを行った後

【0010】

【発明の実施の形態】以下、本発明のチップオンフィルム基板及びその製造方法の実施の形態について詳細に説明する。

【0011】本発明のチップオンフィルム基板のICチップ搭載部及びその周囲部の部分断面図を図1に、部分平面図を図2に、部分斜視図を図3にそれぞれ示す。図1～3に示されるように、本発明では、IC搭載エリア2の配線回路パターン(銅回路)3以外の部分に、透明レジスト層6が設けられている。このように透明レジスト層6を設けることによって、ポリイミド系フィルム4の表面に生じた銅のレプリカ(銅箔の凹凸)5を平滑化させ、チップオンフィルム基板の透明度を10倍程度向上させることができる。

【0012】透明レジスト層6の厚みは1～5 μ mが望ましい。透明レジスト層の厚みが1 μ m未満では銅箔のラミネートによるレプリカの平滑化が充分でなく、透明度に劣り、また5 μ mを超えると厚すぎて上記と同様に透明度に劣る。

【0013】次に、本発明の製造方法について説明する。本発明では、ベースフィルムであるポリイミド系フィルム上に銅箔を熱可塑性ポリイミドで接着したり、単体の熱可塑性ポリイミドを銅箔とラミネートして直接付着させたテープ状の2層基材(テープ)が用いられる。この2層基材は、フィルム厚が38～50 μ m、銅厚が6～12 μ mの基材である。基材の幅は、35mm、48mm、70mmが標準仕様である。このようなテープ状の2層基材としては、銅のレプリカが生じ易いエスパネックス(商品名：フィルム25 μ m又は40 μ m厚、新日鉄化学社製)やユピセル(商品名：フィルム25 μ m又は50 μ m厚、宇部興産社製)等が特に対象として用いられる。

【0014】また、本発明では、ポリイミド系フィルム上に銅箔を熱可塑性ポリイミドを介して接着させたテープ状の2層基材(テープ)が用いられるが、この2層基材は、銅箔をエッチングラインに通し、全面的に銅厚を3～9 μ m程度に薄くすることが好ましい。このような2層基材を用いた場合、折曲げ時の反発力が小さくなり接合時の信頼性が向上し、かつ銅箔表面を全面エッチングすることによりレジスト塗布面の表面粗さ(R_z)を平滑(R_zを1.0 μ m以下)にでき、パターンの直線性・接合の安定性を向上させることもできる。

【0015】上記熱可塑性ポリイミドラミネート2層基材としては、エスパネックスの他に、ユーピレックスVT(商品名：宇部興産社製)、PIXEO(商品名：鐘淵化学社製)等が挙げられる。

【0016】上記のテープ状の2層基材の幅方向の両端部に、金型で打ち抜いて等間隔にスプロケットホールを形成する。このスプロケットホールは、1.42mm角、及び1.981mm角が通常用いられる。

【0017】次いで、基材の銅層側にフォトレジストを塗布し、さらにフォトレジストを加熱乾燥し、硬化する。塗布は、ロールコーターを用いて連続的に塗布され、次にフォトレジストはトンネル炉通過中に加熱乾燥し、硬化される。

【0018】その後、所定の回路を描画したフォトマスクを露光機にセットし、フォトレジストに紫外線を照射することでパターンをイメージングする。次いで、アルカリにて露光パターンを現像し、不要なレジストを剥離、除去することによってレジスト回路が形成される。そして、アルカリで配線回路パターン部上に残ったフォトレジストを剥離、除去する。

【0019】さらに、必要に応じてソルダーレジストインクを所定の領域に印刷し、配線回路パターンを被覆し、0.5 μ m厚程度の無電解スズ又は金メッキが施され、チップオンフィルム基板が得られる。もちろん、上記ソルダーレジストの印刷は、無電解スズ又は金メッキ工程の後に行ってもよい。

【0020】本発明では、下記(1)～(3)のいずれかの工程において、ICチップ搭載部及びその周囲部全面に、透明レジストを塗布し乾燥後、露光、現像により、配線回路パターン以外の部分に透明レジスト層を形成する。

(1) 上記配線回路パターンの形成後

(2) ソルダーレジスト塗布、硬化後、メッキを行う前

(3) ソルダーレジスト塗布、硬化及びメッキを行った後

【0021】すなわち、上記(1)～(3)のいずれかの工程において、ICチップ搭載部及びその周囲部全面に、透明レジストを塗布した後、乾燥する。透明レジストとしては、フォトレジスト、透明光感光型ソルダーレジスト等が例示される。また、塗布厚みは1～5 μ mが

適当である。塗布は、ロールコーターを用いて塗布され、次に透明レジストはトンネル炉通過中に、例えば80℃で加熱乾燥し、硬化される。

【0022】次いで、露光、現像により、配線回路パターン以外の部分に透明レジスト層を形成する。上述したように、配線回路パターン以外の部分に透明レジスト層を形成することによって、ポリイミド系フィルムの表面に生じた銅のレプリカ（銅箔の凹凸）を平滑化させ、チップオンフィルム基板の透明度を向上させることができる。

【0023】このように、チップオンフィルム基板の透明度が向上した結果、ポリイミド系フィルムを通して、ICチップの位置決めパターンがCCD方式で行うことができるようになる。

【0024】

【実施例】以下、実施例に基づいて本発明を具体的に説明する。

【0025】〔実施例1〕2層基材として48mm幅のエスパネックス基材〔商品名：フィルム40μm厚、銅層厚12μm（三井金属鉱業社製銅箔SQ-VLP）、新日鉄化学社製〕を使用し、通常の写真リソ方式で銅層側にフォトレジストを塗布し乾燥後、露光、現像、エッチング、フォトレジスト剥離の工程により、配線回路パターンを形成した。その後、スズメッキし、ソルダーレジスト（商品名：SN9000、日立化成社製）を印刷した。

【0026】このチップオンフィルム基板のICチップ搭載部及びその周囲部全面に、フォトレジスト（商品名：FR200、ポジタイプ、シプレーファーマーイースト社）をロールコーターにより塗布後、乾燥炉で連続乾燥し、露光機で配線回路パターン部のみを紫外線照射し、現像（KOH溶液使用）により、配線回路パターン上のフォトレジストを溶解除去し、配線回路パターン以外の部分に、透明レジスト層を形成した。このフォトレジストの粘度は18cPであり、また塗布厚は4μmであった。

【0027】この透明レジスト層形成前後のチップオンフィルム基板の分光光度計を用いた透過率を図7及び図8に示す。この測定は、ポリイミド系フィルム側から行い、波長300～900nmにおいて行った。

【0028】図7及び図8に示されるように、透明レジスト層を形成後のチップオンフィルム基板の透過率（図8）は、レジスト層を形成前のチップオンフィルム基板

の透過率（図7）と比較して、波長550nm以上で向上し、波長700nmにおいて透過率は約75%となった。従って、CCDカメラ検出波長のメインである波長600～700nmの領域での透過率が60%平均を示し、リード検出が可能となった。

【0029】

【発明の効果】本発明のチップオンフィルム基板によって、銅のレプリカに起因する透明度の低下が大幅に改善される。このためICチップの位置決めパターンがCCD方式で行うことができる。また、本発明の製造方法によって、上記チップオンフィルム基板が、経済的に、かつ工業的規模で生産できる。

【図面の簡単な説明】

【図1】図1は、本発明のチップオンフィルム基板におけるICチップ搭載部及びその周囲部の部分断面図である。

【図2】図2は、本発明のチップオンフィルム基板におけるICチップ搭載部及びその周囲部の部分平面図である。

【図3】図3は、本発明のチップオンフィルム基板におけるICチップ搭載部及びその周囲部の部分斜視図である。

【図4】図4は、従来のチップオンフィルム基板の平面図である。

【図5】図5は、従来のチップオンフィルム基板におけるICチップ搭載部及びその周囲部の平面図である。

【図6】図6は、従来のチップオンフィルム基板におけるICチップ搭載部及びその周囲部の部分断面図である。

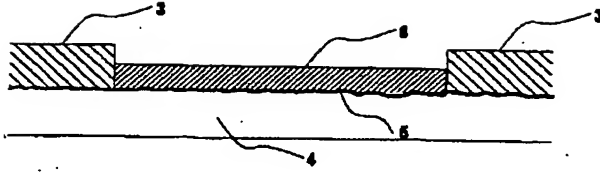
【図7】図7は、透明レジスト形成前のチップオンフィルム基板のポリイミドフィルム側からの分光光度計による波長と透過率の関係を示すグラフである。

【図8】図8は、透明レジスト形成後のチップオンフィルム基板のポリイミドフィルム側からの分光光度計による波長と透過率の関係を示すグラフである。

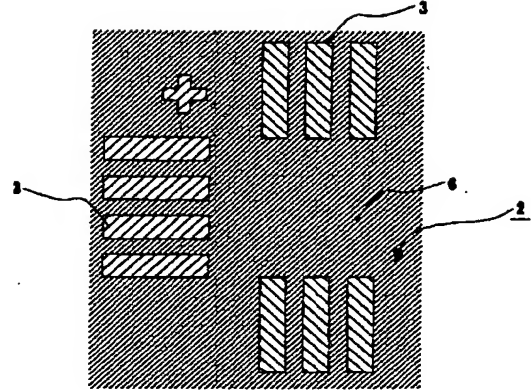
【符号の説明】

- 1：チップオンフィルム基板
- 2：ICチップ搭載部及びその周囲部
- 3：銅回路（配線回路パターン）
- 4：ポリイミド系フィルム
- 5：銅のレプリカ（銅箔の凹凸）
- 6：透明レジスト層

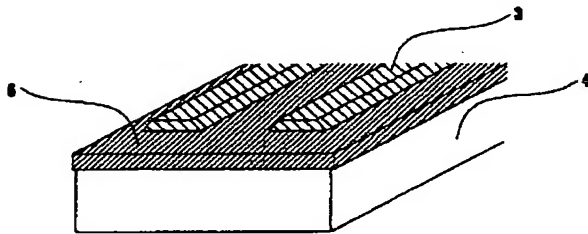
【図1】



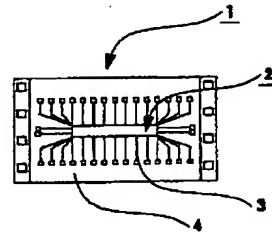
【図2】



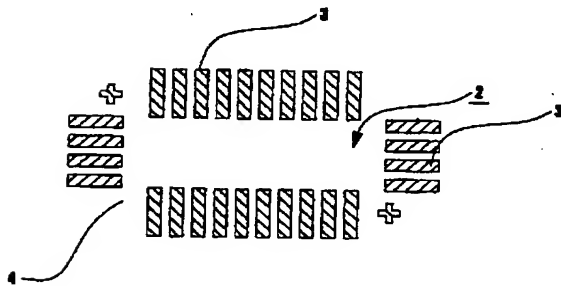
【図3】



【図4】



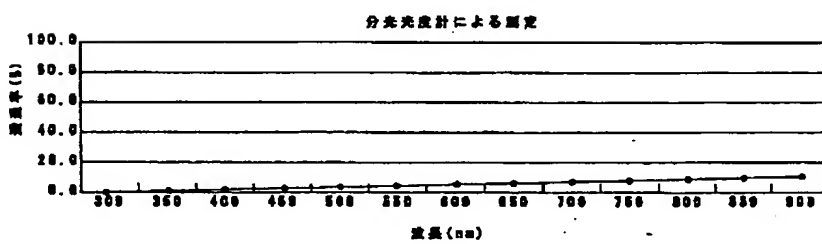
【図5】



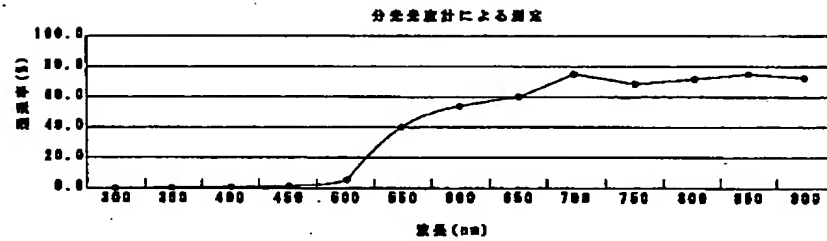
【図6】



【図7】



【図8】



フロントページの続き

(72)発明者 井口 裕
 山口県下関市彦島西山町1-1-1 株式
 会社エム・シー・エス内
 (72)発明者 栗田 秀俊
 山口県下関市彦島西山町1-1-1 株式
 会社エム・シー・エス内

Fターム(参考) 4F100 AB17A AB17B AB33B AK01A
 AK49C AT00C BA03 BA07
 BA10A DC23A GB43 JB14
 JN01 JN01A YY00A
 5E314 AA27 BB06 BB11 CC02 DD07
 EE01 FF06 GG26
 5F044 KK03 MM03 MM48

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.